

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368211
 (43)Date of publication of application : 20.12.2002

(51)Int.CI.

H01L 29/78
 H01L 21/283
 H01L 21/316
 H01L 21/318
 H01L 29/423

(21)Application number : 2001-174573

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.06.2001

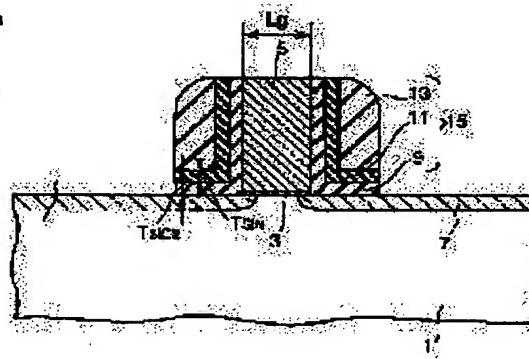
(72)Inventor : MORIFUJI EIJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce mechanical stresses applied to a semiconductor device, which has a flank structure including a silicon nitride film and is of $\leq 0.14 \mu\text{m}$ in gate length.

SOLUTION: This semiconductor device has on a silicon substrate 1 a gate electrode 5, which is formed while insulated from the substrate 1 and of $\leq 0.14 \mu\text{m}$ in gate length and a sidewall 15, including a laminated structure of a silicon oxide film 9 which, is formed from the substrate 1 to the sidewall of the gate electrode 5, a silicon nitride film 11 which is formed on the silicon oxide film 9, and a silicon oxide film 13 which is formed on the silicon nitride film 11. Here, the ratio 'TSiO₂/TSiN' of the film thickness TSiO₂ of the silicon oxide film 9 and the film thickness TSiN of the silicon nitride film is set ≥ 0.5 .



LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368211

(P 2 0 0 2 - 3 6 8 2 1 1 A)

(43) 公開日 平成14年12月20日 (2002.12.20)

(51) Int.Cl.⁷

H01L 29/78
21/283
21/316
21/318
29/423

識別記号

F I

H01L 21/283
21/316
21/318
29/78
29/60

テ-マ-ト (参考)

N 4M104
M 5F058
B 5F140
G

審査請求 未請求 請求項の数 6 O L (全10頁)

(21) 出願番号

特願2001-174573 (P 2001-174573)

(22) 出願日

平成13年6月8日 (2001.6.8)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 森藤 英治

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

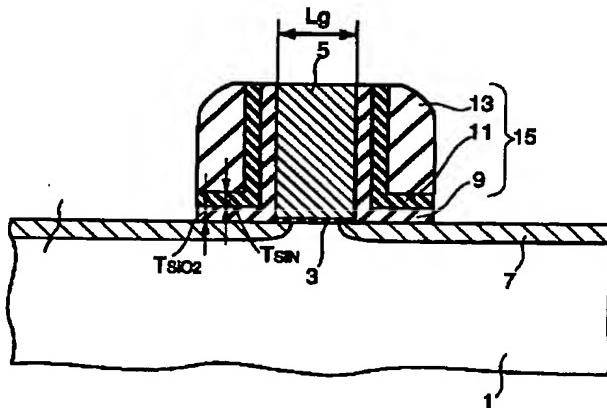
最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】 シリコン窒化膜を含んだ側壁構造を持つゲート長が0.14μm以下の半導体装置において、半導体装置にかかる機械的なストレスを緩和すること。

【解決手段】 シリコン基板1上に、この基板1と絶縁されて形成された、ゲート長Lgが0.14μm以下のゲート電極5と、基板1上からゲート長Lgが0.14μm以下のゲート電極5の側壁上にかけて形成されたシリコン酸化膜9、このシリコン酸化膜9上に形成されたシリコン窒化膜11、及びこのシリコン窒化膜11上に形成されたシリコン酸化膜13の積層構造を含む側壁15とを具備する。そして、シリコン酸化膜9の膜厚T_{SiO₂}とシリコン窒化膜の膜厚T_{SiN}との比“T_{SiO₂}/T_{SiN}”を、0.5以上にする。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に、この半導体基板と絶縁されて形成された、 $0.14\mu m$ 以下のゲート長 L_g を持つゲート電極と、

前記半導体基板上から前記 $0.14\mu m$ 以下のゲート長 L_g を持つゲート電極の側壁上にかけて形成された第1の酸化膜、この第1の酸化膜上に形成された窒化膜、及びこの窒化膜上に形成された第2の酸化膜の積層構造を含む側壁とを具備し、

前記第1の酸化膜の膜厚 T_{ox} と前記窒化膜の膜厚 T_{ni} との比“ T_{ox}/T_{ni} ”が、 0.5 以上であることを特徴とする半導体装置。

【請求項2】 前記第1の酸化膜は、前記半導体基板上から前記 $0.14\mu m$ 以下のゲート長 L_g を持つゲート電極の側壁上にかけて、段切れなく形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ゲート電極の膜厚 T_g は、前記ゲート長 L_g よりも大きいことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記ゲート電極の膜厚 T_g と前記ゲート長 L_g との比“ T_g/L_g ”が 1.42 以上であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1の酸化膜はテトラエトキシシリコンを原料ガスに用いて堆積されたシリコン酸化物であることを特徴とする請求項1乃至請求項4いずれか一項に記載の半導体装置。

【請求項6】 半導体基板と、前記半導体基板上に、この半導体基板と絶縁されて形成された、 $0.14\mu m$ 以下のゲート長 L_g を持つゲート電極と、

前記半導体基板上から前記 $0.14\mu m$ 以下のゲート長 L_g を持つゲート電極の側壁上にかけて形成された窒化膜、及びこの窒化膜上に形成された酸化膜の積層構造を含む側壁とを具備し、

前記窒化膜は、 $10nm$ 以下の膜厚を持つことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に係わり、特にゲート側壁上に側壁絶縁膜を有するMOSFETに関する。

【0002】

【従来の技術】 従来からMOSFETでは、その高耐圧信頼性の確保、及び短チャネル効果を抑制するために、LDD構造が適用されてきた。MOSFETをLDD構造とするためには、ゲート電極の側壁上に側壁が形成される。

【0003】 また、昨今では、ゲート電極、ソース領域及びドレイン領域を低抵抗化するために、シリサイド層

を、ゲート電極、ソース領域及びドレイン領域に自己整合的に形成する、いわゆる“シリサイドプロセス”と呼ばれる技術が必須となってきている。

【0004】 “シリサイドプロセス”を用いる際、側壁に要求されるのは、シリサイドプロセスに通す際の前処理、即ちシリコン表面から自然酸化膜等を除去する沸騰酸処理において、側壁がエッチングされて後退しないことである。このため、側壁には、沸騰によるエッチングレートがシリコン酸化膜よりも遅いシリコン窒化膜を含ん

だ構造が使われることが多い。このようなシリコン窒化膜を含んだ側壁構造は、例えば特開2000-196071公報に記載されている。

【0005】

【発明が解決しようとする課題】 シリコン窒化膜を含んだ側壁構造を持つMOSFETにおいて、そのゲート長 L_g が $0.14\mu m$ 以下に縮小されると、MOSFETの信頼性、例えばホットキャリア耐性等が極度に悪くなってきた。

【0006】 本願発明者は、半導体装置、例えばMOSFETにかかる機械的なストレス、特にゲート酸化膜と基板との界面近傍にかかる機械的なストレスとMOSFETの各種信頼性特性との間に相関があることを、付き止めた。

【0007】 図12は、シリコン窒化膜を含んだ側壁構造を持つMOSFETにかかる機械的なストレスの分布を示す図である。

【0008】 図12に示すように、シリコン窒化膜(SiN)を含んだ側壁構造を持つMOSFETでは、機械的なストレス(stress)が、ゲート電極(GATE)の中央からゲート酸化膜(GATE OXIDE)、さらにゲート酸化膜と基板との界面近傍にかけて集中する。

【0009】 図13は、ゲート酸化膜と基板との界面近傍にかかる機械的なストレス(Stress)と、加速試験前/後のドレイン飽和電流の変化量($\Delta I_{dsat}/I_{dsat}$)との関係を示す図である。

【0010】 この加速試験では、 3000sec の間、ゲート電圧 V_g 及びドレイン電圧 V_d それぞれを $-2.0V$ としてMOSFETに電気的なストレスを与えた。なお、図中、“ I_{dsat} ”は、電気的なストレス印加前のドレイン飽和電流の量で、“ $\Delta(I_{dsat})$ ”は、電気的なストレス印加後のドレイン飽和電流の変化量(減少量)を示している。

【0011】 図13に示すように、ゲート酸化膜と基板との界面近傍に、大きな機械的なストレスがかかるほど、ドレイン飽和電流の変化量($\Delta I_{dsat}/I_{dsat}$)が大きくなる。変化量($\Delta I_{dsat}/I_{dsat}$)は、MOSFETのホットキャリア耐性を示すもので、この変化量が大きいほど、ホットキャリア耐性が劣化していることを表す。

【0012】 従来、窒化膜を含んだ側壁構造を持つMO

S F E Tにおいて、特にゲート酸化膜と基板との界面近傍にかかる機械的なストレスは、何等考慮されていない。このため、ゲート長Lgが0.14μm以下、例えば0.11μm以下に縮小されると、M O S F E Tの信頼性の制御が厳しくなる。

【0013】この発明は、上記事情に鑑み為されたもので、その目的は、窒化膜を含んだ側壁構造を持つ半導体装置において、半導体装置にかかる機械的なストレスを緩和し、信頼性の低下を抑制できる半導体装置を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、この発明では、半導体基板と、前記半導体基板上に、この半導体基板と絶縁されて形成された、0.14μm以下のゲート長Lgを持つゲート電極と、前記半導体基板上から前記0.14μm以下のゲート長Lgを持つゲート電極の側壁上にかけて形成された第1の酸化膜、この第1の酸化膜上に形成された窒化膜、及びこの窒化膜上に形成された第2の酸化膜の積層構造を含む側壁とを具備する。そして、前記第1の酸化膜の膜厚T_{ox}と前記窒化膜の膜厚T_{ni}との比“T_{ox}/T_{ni}”を、0.5以上としたことを特徴としている。

【0015】また、半導体基板と、前記半導体基板上に、この半導体基板と絶縁されて形成された、0.14μm以下のゲート長Lgを持つゲート電極と、前記半導体基板上から前記0.14μm以下のゲート長Lgを持つゲート電極の側壁上にかけて形成された窒化膜、及びこの窒化膜上に形成された酸化膜の積層構造を含む側壁とを具備する。そして、前記窒化膜は、10nm以下の膜厚を持つことを特徴としている。

【0016】

【発明の実施の形態】以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0017】(第1の実施形態) 図1は、この発明の第1の実施形態に係る半導体装置を示す断面図である。

【0018】図1には、半導体装置の一例としてM O S F E Tが示されている。N型シリコン基板1(又はN型ウェル)上には、ゲート酸化膜3が形成されている。ゲート酸化膜3は、例えば二酸化シリコンからなる。ゲート酸化膜3上には、ゲート電極5が形成されている。ゲート電極5は、例えば導電性のポリシリコンからなる。本例では、ゲート電極5のゲート長Lgは、約0.11μmに設定されている。N型シリコン基板1内には、ゲート電極5をイオン注入のマスクに用いて形成されたP⁻型エクステンション層7が形成されている。P⁻型エクステンション層7は、いわゆるL D D(Lightly Doped Drain)構造を形成する。

【0019】また、N型シリコン基板1上からゲート電極5の側壁上にかけて、酸化膜9が形成されている。酸

化膜9は、例えば二酸化シリコンからなる。この二酸化シリコンの具体的な例は、テトラエトキシシラン(T E O S)のガスを用いて堆積形成されたC V D-二酸化シリコンである。本例では、酸化膜9の膜厚T_{si o₂}は、約20nmに設定されている。

【0020】酸化膜9上には、窒化膜11が形成されている。窒化膜11は、例えば窒化シリコンからなる。本例では、窒化膜11の膜厚T_{si N}は、下地の酸化膜9と同じ膜厚、約20nmに設定されている。これにより、

10 酸化膜9の膜厚T_{si o₂}と窒化膜11の膜厚T_{si N}との比“T_{si o₂}/T_{si N}”は、約1.0となっている。

【0021】窒化膜11上には、酸化膜13が形成されている。酸化膜13は、例えば二酸化シリコンからなる。これら酸化膜13、窒化膜11、及び酸化膜9は、側壁15を構成する。

【0022】図2は、酸化膜9の膜厚(TEOS thickness)と機械的なストレス(Stress)との関係を示す図である。

【0023】図2では、具体的には、窒化膜11の膜厚T_{si N}が20nm(Nitride=20nm)、15nm(Nitride=15nm)、10nm(Nitride=10nm)の3種類のM O S F E T

20 を用意し、それぞれ酸化膜9の膜厚T_{si o₂}を、0nm(即ち酸化膜9が無い構造)、10nm、20nm、30nmに変えたときの、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスを示している。

【0024】図2に示すように、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスは、酸化膜9を設け、かつその膜厚T_{si o₂}を厚くしていくことで減らせることが判明した。

【0025】例えば窒化膜11の膜厚T_{si N}が20nmのM O S F E Tでは、酸化膜9が無い構造では、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスは、約5.5MPaである。

【0026】これに対し、膜厚T_{si o₂}が10nmの酸化膜9を設けると、機械的なストレスは、約4.3MPaに減る(T_{si o₂}/T_{si N}=10nm/20nm=0.5)。

【0027】さらに酸化膜9の膜厚T_{si o₂}を20nmに厚くすると、同じく約3.3MPaに減る(T_{si o₂}/T_{si N}=20nm/20nm=1.0)。

【0028】さらに酸化膜9の膜厚T_{si o₂}を30nmに厚くすると、同じく約2.5MPaに減る(T_{si o₂}/T_{si N}=30nm/20nm=1.5)。

【0029】ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスが減れば、例えば図13に示したように、加速試験前/後でのドレイン飽和電流の変化量(ΔI_{Dsat}/I_{Dsat})は小さくなり、M O S F E Tのホットキャリア耐性が良好となる。

【0030】さらに、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスが減れば、ホットキャリア耐性ばかりではなく、他の信頼性に関する特性も良好となる。

【0031】図3(A)は不良到達時間(Time To Failure)と累積確率(Cumulative Probability)との関係を示す図、図3(B)はドレン電流(Idr)と不良到達時間(Time To Failure)との関係を示す図である。

【0032】図3(A)、図3(B)中、“A”は、ゲート酸化膜3と基板1との界面近傍に約43MPaの機械的なストレスがかかったMOSFETを持つ集積回路、“B”は、同じく約55MPaの機械的なストレスがかかったMOSFETを持つ集積回路、“C”は同じく約33MPaの機械的なストレスがかかったMOSFETを持つ集積回路である。

【0033】図3(A)は、膜厚(Tox)が2.5nm、面積(Area)が $0.125\mu\text{m}^2$ のゲート酸化膜3に、温度85℃で11MV/cmの電界を与えたとき、絶縁不良に到達するまでの時間をプロットしたものである。本特性は、図3(A)中の矢印の向きに向かうほど、絶縁不良が起こり難いことを表す。

【0034】図3(A)に示すように、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスが小さいほど、絶縁不良が起こり難くなり、集積回路の耐久性が向上することが判明した。

【0035】図3(B)も図3(A)と同様に集積回路の耐久性に関する特性を示しており、集積回路を通常の電源電圧で動作させ続けた時、ドレン電流の変化量 ΔI_{dsat} が5%に到達するまでの時間を表す。本特性は、図3(B)中の矢印の向きに向かうほど、ドレン電流が変化し難くなることを表す。

【0036】図3(B)に示すように、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスが小さいほど、ドレン電流が変化し難くなり、集積回路の耐久性が向上する。

【0037】このように、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスを緩和することで、MOSFETの信頼性の低下を抑制できる。ひいてはその信頼性を向上させることもできる。そして、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスは、窒化膜11の下に、酸化膜9を設けることで緩和できる。したがって、窒化膜11の下に、酸化膜9を設けることで、MOSFETの信頼性を向上させることができる。

【0038】また、図2に示した関係から、窒化膜11の膜厚 T_{sin} を薄くすることでも、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスを減らせることが分かる。

【0039】例えば窒化膜11の膜厚 T_{sin} が10nmのMOSFETでは、酸化膜9が無くても、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスは、約38MPaまで減る。約38MPaは、“ $T_{sin}/T_{sin}=10\text{nm}/20\text{nm}=0.5$ ”のMOSFETにかかる機械的なストレス、約43MPaよりも小さい。つま

り、窒化膜11が10nm以下の膜厚 T_{sin} を有していれば、上記同様の効果を期待できる。

【0040】もちろん、窒化膜11の膜厚 T_{sin} を10nm以下とした上で、さらに窒化膜11の下に酸化膜9を設ければ、上記効果をさらにより良く得ることができる。

【0041】また、シリコン窒化膜を含んだ側壁構造を持つMOSFETにおいて、そのゲート長Lgが0.14μm以下に縮小されてくると、MOSFETの信頼性、例えばホットキャリア耐性等が極度に悪くなることが見出された。

【0042】図4はゲート長(GATE length)と加速試験前/後のドレン電流の変化量($\Delta I_{dsat}/I_{dsat}$)との関係を示す図である。

【0043】図4に示すように、ゲート長Lgが0.14μm程度までは、加速試験前/後のドレン電流の変化量($\Delta I_{dsat}/I_{dsat}$)は、さほど変化しないが、ゲート長Lgが0.14μm以下となると、変化量($\Delta I_{dsat}/I_{dsat}$)が、大きく変化する。

【0044】これは、ゲート長Lgが小さくなるにつれ、ゲート電極の側壁に形成された窒化膜から加わる力が、より大きく影響するようになるから、と推測される。

【0045】図5(A)～図5(E)はそれぞれMOSFETをゲート長毎に示した断面図である。

【0046】図5(A)～図5(E)に示すように、ゲート長Lgが小さくなると、窒化膜11に挟まれたゲート電極5が小さくなる。このため、ゲート酸化膜3と基板1との界面を含む領域が狭くなり、ゲート酸化膜3と基板1との界面近傍に、機械的なストレスがより強く集中しやすくなる。

【0047】図4に示した結果から、ゲート長Lgが0.14μm程度、あるいはゲート電極の膜厚Tgとゲート長Lgとの比“ Tg/Lg ”が1.42程度を臨界点として、MOSFETの信頼性が極度に悪くなる。

【0048】したがって、この発明は、特にゲート長Lgが0.14μm以下のMOSFET、あるいはゲート電極の膜厚Tgと前記ゲート長Lgとの比“ Tg/Lg ”が1.42以上のMOSFETに適用すると、特に有効である。

【0049】また、酸化膜9の膜厚 T_{sin} と窒化膜11の膜厚 T_{sin} との比“ T_{sin}/T_{sin} ”と、MOSFETの信頼性との関係についても調査した。

【0050】図6は、酸化膜9の膜厚 T_{sin} と窒化膜11の膜厚 T_{sin} との比と平均絶縁破壊時間(平均TDDB)との関係を示す図である。

【0051】図6に示すように、絶縁破壊に至る平均時間は、比“ T_{sin}/T_{sin} ”が0.5以上になると、急激に延びるようになった。

【0052】同じく図7は、酸化膜9の膜厚 T_{sin} と窒

化膜11の膜厚 T_{SiN} との比と加速試験前／後のドレイン飽和電流の変化量($\Delta I_{dsat}/I_{dsat}$)との関係を示す図である。

【0053】図7に示すように、ドレイン飽和電流の変化量についても同様に、比“ T_{SiO_2}/T_{SiN} ”が0.5以上になると、急激に減少するようになった。

【0054】これらの知見から、酸化膜9の膜厚 T_{SiO_2} と窒化膜11の膜厚 T_{SiN} との比は、信頼性の低下を抑制するためには、0.5以上に設定することが好ましいことが分かった。

【0055】図8(A)～図8(D)はそれぞれ、MOSFETを酸化膜9の膜厚 T_{SiO_2} と窒化膜11の膜厚 T_{SiN} との比毎に示した断面図である。

【0056】図8(A)は、比“ T_{SiO_2}/T_{SiN} ”が0.25のMOSFETである。このMOSFETでは、膜厚 T_{SiN} が、膜厚 T_{SiO_2} の4倍であり、窒化膜11が酸化膜9よりも充分に厚い。

【0057】図8(B)は、比“ T_{SiO_2}/T_{SiN} ”が0.5のMOSFETである。このMOSFETでは、膜厚 T_{SiN} が、膜厚 T_{SiO_2} の2倍である。

【0058】図8(C)は、比“ T_{SiO_2}/T_{SiN} ”が1.0のMOSFETである。このMOSFETでは、膜厚 T_{SiN} と、膜厚 T_{SiO_2} とが互いに等しい。

【0059】図8(D)は、比“ T_{SiO_2}/T_{SiN} ”が2.0のMOSFETである。このMOSFETでは、膜厚 T_{SiN} が、膜厚 T_{SiO_2} の半分であり、窒化膜11が酸化膜9よりも薄い。

【0060】図6、図7に示した知見から、信頼性の低下を抑制するためには、図8(A)に示すように、窒化膜11の下に酸化膜9がある構造であっても、図8(B)～図8(D)に示す構造のほうが好ましい。

【0061】このような第1実施形態に係るMOSFETによれば、0.14μm以下のゲート長 L_g を持つゲート電極と、酸化膜9、窒化膜11及び酸化膜13の積層構造を含む側壁15とを具備するので、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスを緩和することができる。

【0062】さらに好ましくは、酸化膜9の膜厚 T_{SiO_2} と窒化膜11の膜厚 T_{SiN} との比“ T_{SiO_2}/T_{SiN} ”を0.5以上に設定することで、ゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスは、さらに緩和することができる。

【0063】このようにゲート酸化膜3と基板1との界面近傍にかかる機械的なストレスを緩和できた結果、MOSFETの信頼性に関する特性、例えばホットキャリア耐性、絶縁破壊耐性等の低下を抑制することができる。さらにはこれら信頼性に関する特性を向上させることも可能である。

【0064】(第2実施形態)次に、この発明が適用された具体的なMOSFETの一例について、その一製造

方法例とともに説明する。

【0065】図9(A)～図9(D)、図10(A)～図10(D)はそれぞれ、この発明の第2実施形態に係るMOSFETを主要な製造工程毎に示す断面図、図11は、この発明の第2実施形態に係るMOSFETを示す断面図である。

【0066】まず、図9(A)に示すように、N型シリコン基板(又はN型ウェル)1の表面を例えれば熱酸化し、例えば2.5nm程度の膜厚を持つゲート酸化膜3を形成する。次いで、ゲート酸化膜3上に導電性ポリシリコンを堆積し、例えば0.2μm程度の膜厚 T_g を持つ導電性ポリシリコン膜を形成する。次いで、導電性ポリシリコン膜、及びゲート酸化膜3をバーニングし、例えば0.11μm程度のゲート長 L_g を持つゲート電極5を形成する。この後、必要に応じて、N型シリコン基板1の表面、及びゲート電極5の表面を薄く熱酸化、即ち後酸化する。

【0067】次に、図9(B)に示すように、ゲート電極5をマスクに用いて、N型シリコン基板1内にP型不純物イオン、例えばボロシイオンを低加速電圧で浅く注入する。これはP⁺型エクステンション層7を形成するためのイオン注入工程である。

【0068】次に、図9(C)に示すように、N型シリコン基板1からゲート電極5の側壁上にかけて二酸化シリコンを堆積し、例えば20nm程度の膜厚 T_{SiO_2} を持つ酸化膜9を形成する。酸化膜9は、テトラエトキシシラン(TEOS)を原料ガスに用いたCVD法により形成されることが望ましい。テトラエトキシシランを原料ガスに用いたCVD法は、段差被覆性に優れており、酸化膜9をN型シリコン基板1からゲート電極5の側壁上にかけて、段切れなく形成することができる。また、酸化膜9は、N型シリコン基板1の表面、及びゲート電極5の表面を厚く熱酸化して形成することも可能である。しかし、酸化膜9は、熱酸化よりも堆積により形成するほうが望ましい。これは、N型シリコン基板1の表面を厚く熱酸化すると、酸化膜9が、P⁺型エクステンション層7の接合深さよりも深く形成される可能性があるためである。次いで、酸化膜9上に窒化シリコンを堆積し、例えば20nm程度の膜厚 T_{SiN} を持つ窒化膜11を形成する。次いで、窒化膜11上に二酸化シリコンを堆積し、例えば60nm程度の膜厚 T_{SiO_2} を持つ酸化膜13を形成する。酸化膜13の膜厚 T_{SiO_2} は、側壁の最終幅に合うように設定される。

【0069】次に、図9(D)に示すように、酸化膜13、窒化膜11、及び酸化膜9を異方性のドライエッティング法を用いてエッティングし、酸化膜13、窒化膜11、及び酸化膜9の積層構造を含む側壁15を形成する。側壁15を形成するための異方性のドライエッティングでは、酸化膜13、9をエッティングする際、及び窒化膜11をエッティングする際でそれぞれ、エッチャントを

10 形成する。次いで、ゲート酸化膜3上に導電性ポリシリコンを堆積し、例えば0.2μm程度の膜厚 T_g を持つ導電性ポリシリコン膜を形成する。次いで、導電性ポリシリコン膜、及びゲート酸化膜3をバーニングし、例えば0.11μm程度のゲート長 L_g を持つゲート電極5を形成する。この後、必要に応じて、N型シリコン基板1の表面、及びゲート電極5の表面を薄く熱酸化、即ち後酸化する。

20 【0067】次に、図9(B)に示すように、ゲート電極5をマスクに用いて、N型シリコン基板1内にP型不純物イオン、例えばボロシイオンを低加速電圧で浅く注入する。これはP⁺型エクステンション層7を形成するためのイオン注入工程である。

【0068】次に、図9(C)に示すように、N型シリコン基板1からゲート電極5の側壁上にかけて二酸化シリコンを堆積し、例えば20nm程度の膜厚 T_{SiO_2} を持つ酸化膜9を形成する。酸化膜9は、テトラエトキシシラン(TEOS)を原料ガスに用いたCVD法により形成されることが望ましい。テトラエトキシシランを原料ガスに用いたCVD法は、段差被覆性に優れており、酸化膜9をN型シリコン基板1からゲート電極5の側壁上にかけて、段切れなく形成することができる。また、酸化膜9は、N型シリコン基板1の表面、及びゲート電極5の表面を厚く熱酸化して形成することも可能である。しかし、酸化膜9は、熱酸化よりも堆積により形成するほうが望ましい。これは、N型シリコン基板1の表面を厚く熱酸化すると、酸化膜9が、P⁺型エクステンション層7の接合深さよりも深く形成される可能性があるためである。次いで、酸化膜9上に窒化シリコンを堆積し、例えば20nm程度の膜厚 T_{SiN} を持つ窒化膜11を形成する。次いで、窒化膜11上に二酸化シリコンを堆積し、例えば60nm程度の膜厚 T_{SiO_2} を持つ酸化膜13を形成する。酸化膜13の膜厚 T_{SiO_2} は、側壁の最終幅に合うように設定される。

30 【0069】次に、図9(D)に示すように、酸化膜13、窒化膜11、及び酸化膜9を異方性のドライエッティング法を用いてエッティングし、酸化膜13、窒化膜11、及び酸化膜9の積層構造を含む側壁15を形成する。側壁15を形成するための異方性のドライエッティングでは、酸化膜13、9をエッティングする際、及び窒化膜11をエッティングする際でそれぞれ、エッチャントを

切り替えるようにしても良い。しかし、酸化膜 13、9 をエッティングする際、及び窒化膜 11 をエッティングする際でエッチャントを切り替えず、酸化膜 13、9 と窒化膜 11 とでエッティングレートの差が小さいエッチャントを用いて、連続してエッティングするほうが望ましい。エッチャントを切り替えると、側壁 15 の形状がいびつになり易いからである。エッチャントを切り替えず、酸化膜 13、窒化膜 11、及び酸化膜 9 を連続してエッティングすることで、図 9 (D) に示すように、形状が良好な側壁 15 を形成することができる。

【0070】次に、図 10 (A) に示すように、ゲート電極 5、及び側壁 15 をマスクに用いて、N型シリコン基板 1 内に P 型不純物イオン、例えばボロンイオンを注入する。これは P⁺ 型ソース/ドレイン領域 17 を形成するためのイオン注入工程である。

【0071】次に、図 10 (B) に示すように、図 10 (A) に示した構造を沸騰酸処理し、N型シリコン基板 1 上及びゲート電極 5 上に存在する自然酸化膜を除去する。次に、N型シリコン基板 1 上から側壁 15 上及びゲート電極 5 の上面にかけて高融点金属を堆積し、高融点金属膜 19 を形成する。高融点金属は、シリコンと反応し、シリコンよりも低抵抗なシリサイド層を形成するものであれば良い。

【0072】次に、図 10 (C) に示すように、例えば熱処理し、高融点金属膜 19 をシリコンと反応させ、P⁺ 型ソース/ドレイン領域 17 及びゲート電極 5 の表面部分をシリサイド化する。

【0073】次に、図 10 (D) に示すように、高融点金属膜 19 のうち、シリコンと反応していない部分を除去する。これにより、P⁺ 型ソース/ドレイン領域 17 内及びゲート電極 5 内に自己整合的にシリサイド層 21 が形成される。

【0074】次に、図 11 に示すように、図 10 (D) に示した構造上に層間絶縁膜 23 を形成し、層間絶縁膜 23 にシリサイド層 21 に達するコンタクト孔 25 を形成し、層間絶縁膜 23 上にコンタクト孔 25 を介してシリサイド層 21 に電気的に接続する配線層 27 を形成することで、この発明の第 2 実施形態に係る P チャネル型 MOSFET が完成する。

【0075】このような第 2 実施形態においても、酸化膜 9 の膜厚 T_{SiO₂} が 20 nm、窒化膜 11 の膜厚 T_{Si₃N₄} が 20 nm であり、比 “T_{SiO₂}/T_{Si₃N₄}” が 1.0 である。つまり、比 “T_{SiO₂}/T_{Si₃N₄}” が 0.5 以上を満たしている。このため、第 1 実施形態と同様に、ゲート酸化膜 3 と N 型シリコン基板 1 との界面近傍にかかる機械的なストレスを緩和することができる。

【0076】以上、この発明を第 1、第 2 実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能で

ある。

【0077】また、上記第 1、第 2 実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせて実施することも、もちろん可能である。

【0078】さらに、上記第 1、第 2 実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要素の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0079】

10 【発明の効果】以上説明したように、この発明によれば、窒化膜を含んだ側壁構造を持つ半導体装置において、半導体装置にかかる機械的なストレスを緩和し、信頼性の低下を抑制できる半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】図 1 はこの発明の第 1 実施形態に係る MOSFET を示す断面図。

【図 2】図 2 は酸化膜膜厚 (TEOS thickness) と機械的なストレス (Stress) との関係を示す図。

20 【図 3】図 3 (A) は不良到達時間 (Time To Failure) と累積確率 (Cumulative Probability) との関係を示す図、図 3 (B) はドレイン電流 (Idr) と不良到達時間 (Time To Failure) との関係を示す図。

【図 4】図 4 はゲート長 (GATE length) と加速試験前／後のドレイン飽和電流の変化量 ($\Delta I_{dsat}/I_{dsat}$) との関係を示す図。

【図 5】図 5 (A) ~ 図 5 (E) はそれぞれ MOSFET をゲート長毎に示した断面図。

30 【図 6】図 6 は酸化膜の膜厚と窒化膜の膜厚との比 ($T_{SiO_2}/T_{Si_3N_4}$) と平均絶縁破壊時間 (平均 TDDDB) との関係を示す図。

【図 7】図 7 は酸化膜の膜厚と窒化膜の膜厚との比 ($T_{SiO_2}/T_{Si_3N_4}$) と加速試験前／後のドレイン飽和電流の変化量 ($\Delta I_{dsat}/I_{dsat}$) との関係を示す図。

【図 8】図 8 (A) ~ 図 8 (D) はそれぞれ MOSFET を酸化膜の膜厚と窒化膜の膜厚との比毎に示した断面図。

【図 9】図 9 (A) ~ 図 9 (D) はそれぞれこの発明の第 2 実施形態に係る MOSFET を主要な製造工程毎に示す断面図。

40 【図 10】図 10 (A) ~ 図 10 (D) はそれぞれこの発明の第 2 実施形態に係る MOSFET を主要な製造工程毎に示す断面図。

【図 11】図 11 はこの発明の第 2 実施形態に係る MOSFET を示す断面図。

【図 12】図 12 は従来の MOSFET にかかる機械的なストレスの分布を示す図。

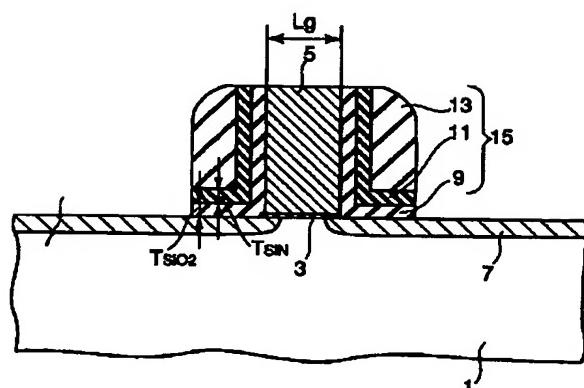
【図 13】図 13 は機械的なストレス (Stress) と加速試験前／後のドレイン飽和電流の変化量 ($\Delta I_{dsat}/I_{dsat}$) との関係を示す図。

【符号の説明】

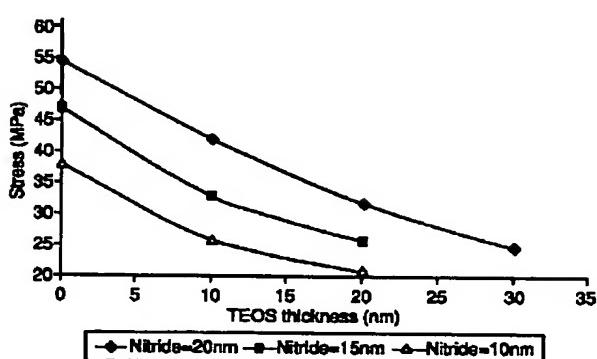
- 1 … N型シリコン基板又はN型ウェル、
 3 … ゲート酸化膜、
 5 … ゲート電極、
 7 … P⁻型エクステンション層、
 9 … シリコン酸化膜、
 11 … シリコン窒化膜、
 13 … シリコン酸化膜、

- 15 … 側壁、
 17 … P⁺型ソース/ドレイン領域、
 19 … 高融点金属膜、
 21 … シリサイド層、
 23 … 層間絶縁膜、
 25 … コンタクト孔、
 27 … 配線層。

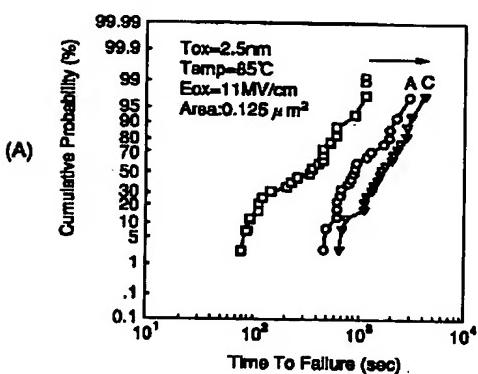
【図1】



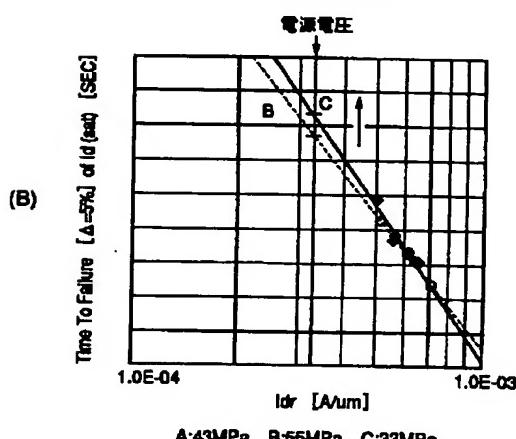
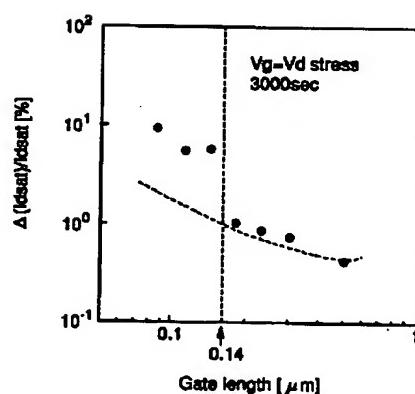
【図2】



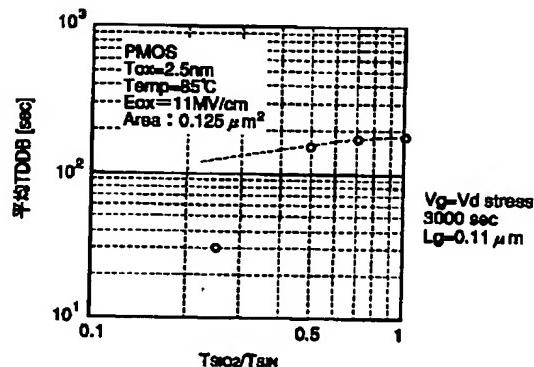
【図3】



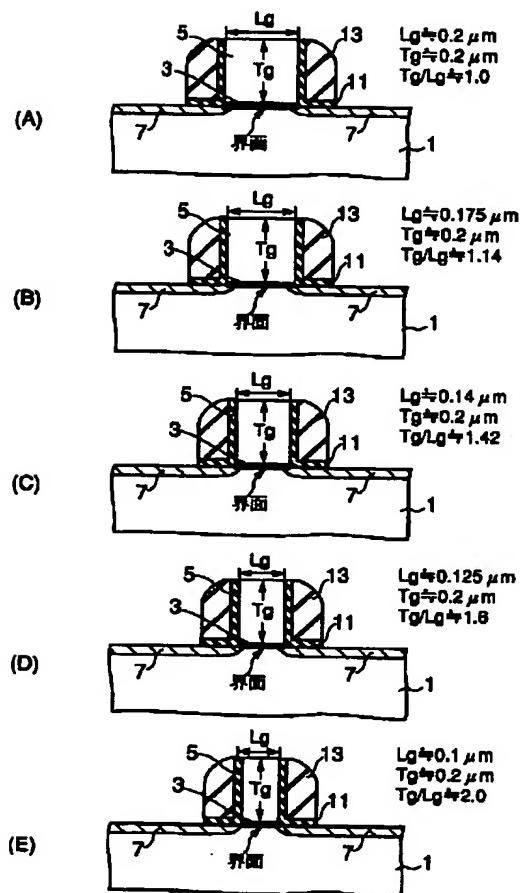
【図4】



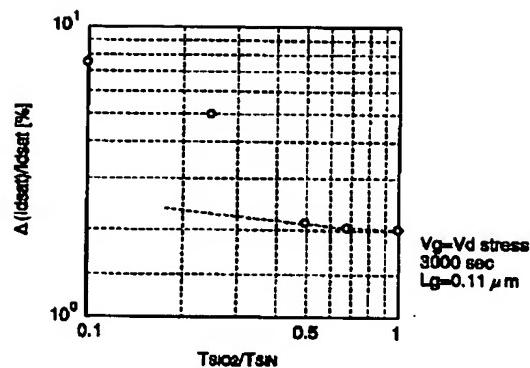
【図6】



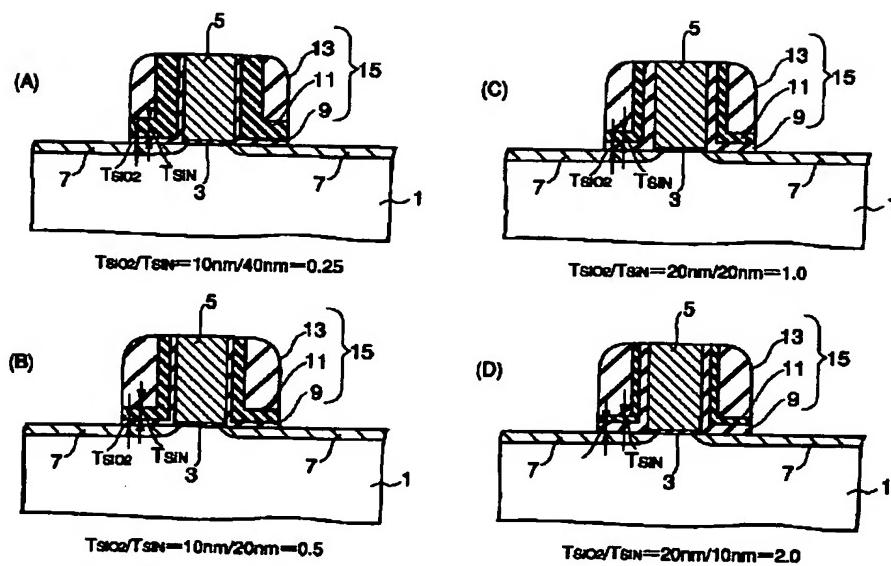
【図 5】



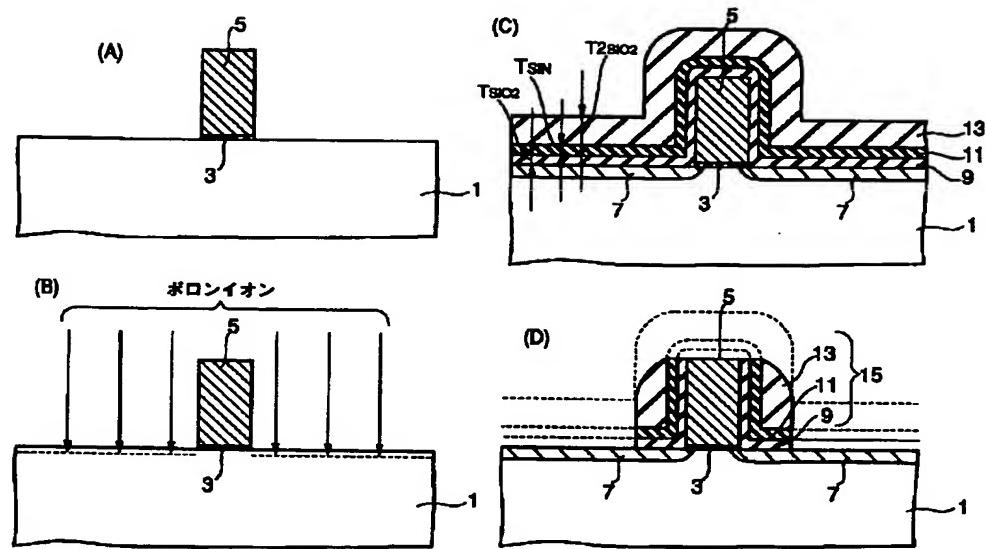
【図 7】



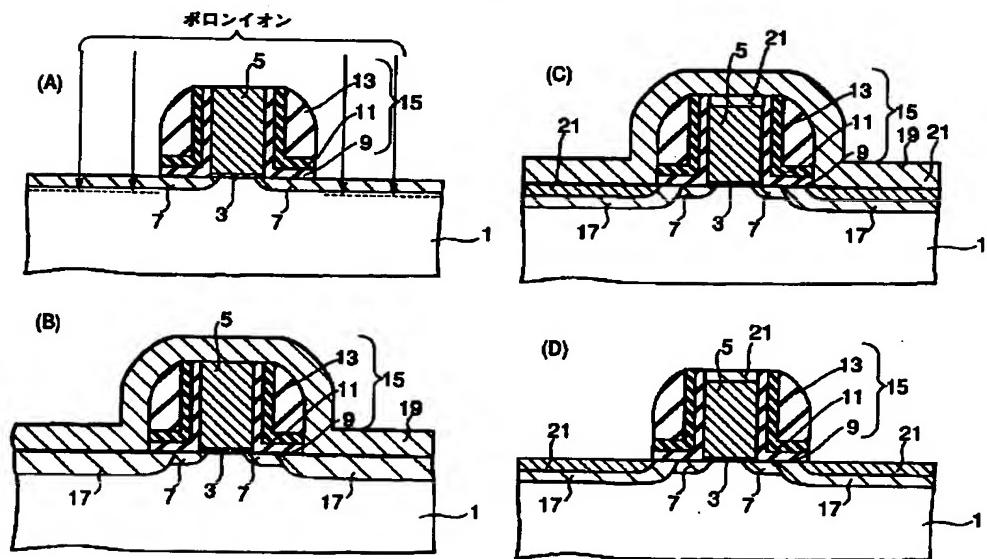
【図 8】



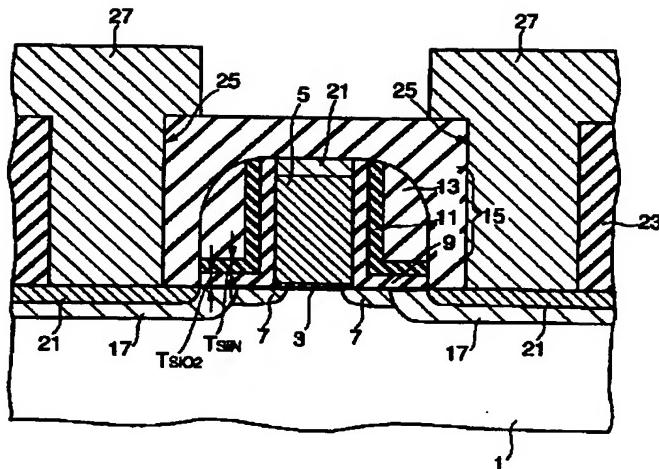
【図 9】



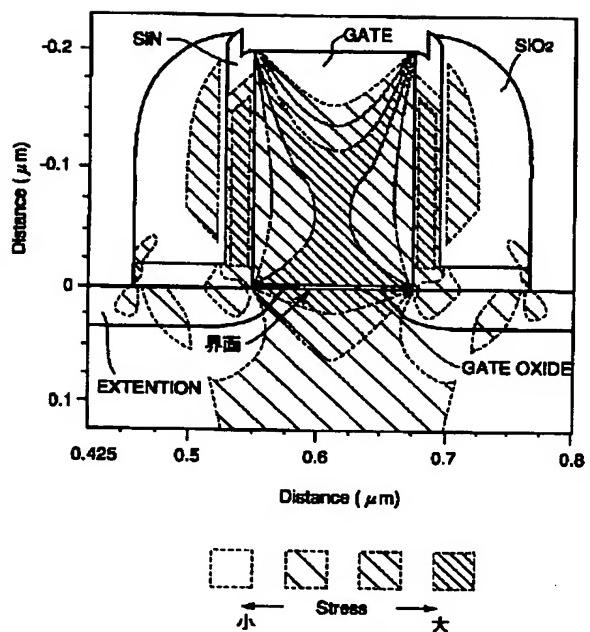
【図 10】



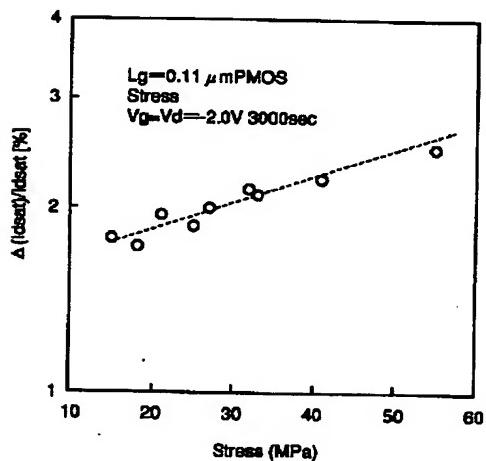
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

F ターム(参考) 4M104 AA01 BB01 BB24 BB40 CC01
 CC05 DD02 DD04 DD06 DD23
 DD66 DD67 DD91 EE03 EE05
 EE09 EE12 EE16 EE17 EE20
 FF13 FF14 GG09 HH14
 5F058 BA04 BD02 BD04 BD10 BF02
 BF25 BJ07
 5F140 AA23 BA01 BF01 BF04 BF42
 BG10 BG12 BG14 BG52 BH15
 BJ01 BJ08 BK02 BK13 CD06